POC.LL: Proof-of-Concept dual-panel con sensor array integrato per optical computing, HDC e workflow quantum-inspired

Introduzione

Questo documento presenta **POC.LL**, una proof-of-concept sviluppata per validare l'architettura computazionale di un futuro sistema optoelettronico dual-panel con sensor array integrato, distinguendola esplicitamente dal precedente filone interpretativo qui indicato come **PoC SUPSI**. POC.LL non nasce come semplice emulazione astratta di un sistema ottico, ma come risposta architetturale e ingegneristica ai limiti fisici emersi sia dalla pubblicazione dual-panel con sensor array sia dallo studio di fattibilità ottica condotto dall'Università di Pavia.

Nel quadro di POC.LL, il sistema viene organizzato intorno a **due TFT-LCD programmabili**, un **sensor array integrato e co-registrato**, e un backend di controllo e decoding digitale implementabile su FPGA o, in prospettiva, in forma ASIC. Questa impostazione riflette un cambio di paradigma rispetto alle interpretazioni più vecchie basate su strutture a tre pannelli e su una transizione quasi diretta a un ipotetico OPTO-ASIC, poiché assume fin dall'inizio che la fisica del sistema ottico imponga vincoli severi su divergenza della sorgente, dimensione minima delle celle, trasmissione utile, registrazione spaziale e gestione delle non idealità del readout.

POC.LL ha quindi un duplice obiettivo: da un lato dimostrare che il substrato dual-panel + sensor array può supportare HDC, aritmetica MSD, operatori matrix-like e workflow quantum-inspired; dall'altro mostrare che questa stessa architettura costituisce una formulazione più coerente e fisicamente plausibile del sistema rispetto al precedente schema SUPSI a tre pannelli.

Contesto e motivazione

Le pubblicazioni precedenti sul dual-panel TFT con sensor array mostrano che la combinazione di modulatori spaziali programmabili, sensor plane e backend di calibrazione/decode può essere usata come piattaforma riconfigurabile per computazione ottica multilivello. In tali lavori, i blocchi fondamentali includono pattern generator FPGA, LUT di calibrazione, scheduling multi-frame, acquisizione del sensore e thresholding ternario con ricostruzione simbolica, lasciando già intravedere una piattaforma adatta a HDC, arithmetic MSD e operatori di tipo matrix-vector.

Lo studio di fattibilità di Pavia aggiunge a questo quadro un elemento decisivo: il principio ottico è realizzabile, ma la sua implementazione integrata con celle LCD commerciali e sorgenti realistiche è fortemente condizionata dalla divergenza angolare del fascio, dalle perdite cumulative lungo il percorso e dalla necessità di aumentare la dimensione minima della cella oltre i valori tipici di pixel LCD commerciali. Per pixel di 25 μm e spessore MLCD di 2.7 mm, la trasmissione crolla rapidamente già per divergenze di pochi milliradianti; il limite teorico minimo stimato per il pixel è circa 82 μm e l'unità elementare di calcolo diventa dell'ordine di 250 μm, con difficoltà pratiche a scendere sotto 1 mm per celle realmente robuste.

Queste evidenze rendono problematica qualunque interpretazione architetturale che presupponga l'estensione lineare del vecchio schema a tre pannelli verso un ASIC ottico diretto, senza prima affrontare in modo esplicito la fisica della propagazione, della collimazione e della raccolta ottica. POC.LL nasce precisamente per superare questa debolezza concettuale: riduce la complessità ottica a una struttura dual-panel più compatta, inserisce un sensor array integrato come piano di misura attivo e sposta nel dominio elettronico e algoritmico — tramite calibrazione, thresholding e decoding — una parte rilevante della robustezza del sistema.[2]

Differenza tra POC.LL e PoC SUPSI

La differenza tra **POC.LL** e il precedente **PoC SUPSI** non è terminologica ma strutturale. Il PoC SUPSI, nella sua interpretazione a tre pannelli e nella narrativa di transizione verso ASIC/OPTO-ASIC, assumeva implicitamente che l'aumento della complessità ottica e la miniaturizzazione del percorso potessero essere trattati come conseguenze naturali di una futura integrazione. Tale impostazione, però, non tiene adeguatamente conto del fatto che la divergenza della sorgente, la lunghezza del percorso ottico e la dimensione minima della cella determinano un limite fisico molto rigido alla trasmissione utile e quindi alla scalabilità reale del concetto.

POC.LL assume invece che questi limiti siano centrali e non accessori. Per questo introduce una soluzione con **due TFT e sensor array integrato**, in cui il piano sensore non è un semplice rivelatore finale ma una parte attiva della computazione: corregge gain e offset, applica soglie locali, converte l'informazione ottica in simboli dark/gray/bright e alimenta il backend di decoding HDC/MSD. In altre parole, POC.LL riconosce che la stabilità del sistema non può essere affidata soltanto alla perfezione della propagazione ottica, ma deve emergere da una co-progettazione tra motore ottico, sensor fabric e logica di ricostruzione.

Ne segue che la vecchia lettura a tre pannelli non rappresenta più un riferimento tecnico affidabile per la roadmap attuale. Non perché il principio logico di base fosse privo di interesse, ma perché la sua

evoluzione diretta verso ASIC ottico non è consistente con i problemi fisici effettivamente evidenziati nello studio Pavia e con la necessità, oggi chiara, di una architettura più compatta, calibrabile e robusta.

Architettura di POC.LL

POC.LL viene sviluppata come **chip ottico virtuale** su piattaforma FPGA Cyclone V / Terasic DE10-Standard, mantenendo però una corrispondenza diretta con la futura implementazione fisica dual-panel. I due TFT sono emulati come matrici bidimensionali A[x,y] e B[x,y] in memoria on-chip; un interaction core realizza una funzione locale $I_{out}(x,y) = f(A(x,y), B(x,y))$ che sostituisce temporaneamente la fisica del motore ottico; il sensore è modellato come piano distribuito con guadagno, offset, rumore e classificazione ternaria.

La pipeline di acquisizione implementa una misura del tipo $Y_{ij} = G_{ij} I_{out,ij} + O_{ij} + n_{ij}$, seguita da normalizzazione e quantizzazione tramite due soglie τ_1 e τ_2, ottenendo simboli $-1,0,+1$ che corrispondono alle classi dark, gray e bright. Questa rappresentazione ternaria è particolarmente adatta sia alla logica ridondante MSD sia a codifiche HDC bipolari/ternarie, e rende il sensore un elemento computazionale attivo, anziché un semplice punto di readout.

L'architettura è organizzata in moduli: framebuffers dei due pannelli, LUT di calibrazione, scheduler multi-frame, modello di sensore, classificatore ternario, accumulatori e core di decoding. Tale decomposizione corrisponde direttamente a quella già delineata nella pubblicazione dual-panel e rende possibile il riuso del backend digitale quando il motore di interazione verrà sostituito da uno stack ottico fisico.

Modalità computazionali supportate

La POC.LL supporta diverse modalità computazionali che condividono lo stesso substrato architetturale. La prima è l'**aritmetica MSD**, dove le interazioni locali rappresentano pre-somme o combinazioni ridondanti, e la sequenza multi-frame consente recoding, normalizzazione ed eliminazione del carry lungo catene estese. La seconda è la realizzazione di **operatori matrix-vector**, nei quali i coefficienti di una matrice e gli elementi di un vettore sono distribuiti sui due pannelli, l'interazione avviene in parallelo su tutte le celle e il risultato finale è ottenuto tramite accumulo per riga o per regione.[1]

La terza modalità è l'**Hyperdimensional Computing**, dove i due pannelli implementano operazioni di binding elemento-per-elemento, il sensore contribuisce alla fase di bundling e quantizzazione, e il backend digitale calcola similarity e associative decoding. Il report Opto-HDC mostra inoltre che un'architettura ottica a doppio LCD con polarizzatori e camera può già riprodurre binding, bundling e

similarity in modo coerente con il modello teorico, fornendo un'importante validazione funzionale della componente HDC di POC.LL.

Infine, il framework include workflow **quantum-inspired** derivati dall'adattamento della teleportation-spatial coding su piattaforma dual-panel. In questo caso il branching, la duplicazione spaziale, la trasformazione condizionata e la selezione del risultato possono essere reinterpretati come una combinazione di scheduling multi-frame, manipolazione locale multilevel e controllo associativo tramite HDC e MSD. Questa sovrapposizione di paradigmi conferma che POC.LL non è una singola demo algoritmica, ma una piattaforma generale di rappresentazione e calcolo.

Integrazione dello studio di Pavia nella logica di progetto

Lo studio di Pavia non è un'osservazione esterna ma un vincolo fondativo della logica di POC.LL. La conclusione principale del report è che, pur essendo realizzabile il principio ottico di elaborazione con celle LCD, polarizzatori e retroriflettori, la trasmissione utile decade drasticamente quando la divergenza della sorgente non è prossima a quella di una sorgente laser molto ben collimata. Lo stesso studio mostra che soluzioni alternative come celle in sequenza o schermi assorbenti tra celle adiacenti non risolvono sostanzialmente il problema, e che la criticità fisica resta dominata dal rapporto tra pixel, divergenza e lunghezza del percorso.

POC.LL incorpora queste conclusioni in tre modi. Primo, riduce il numero di stadi ottici essenziali e concentra la logica sul dual-panel, evitando di propagare la complessità verso una catena a tre pannelli che aggraverebbe ulteriormente le richieste su allineamento, perdite e raccolta della luce. Secondo, introduce un **sensor array integrato** che permette di trattare la non idealità ottica con calibrazione locale, soglie e decoding distribuito, invece di demandare tutta la robustezza al solo canale ottico. Terzo, separa con chiarezza il livello di validazione architetturale da quello di realizzazione fisica: la PoC può essere sviluppata e verificata oggi in forma digitale o ibrida, mentre il core ottico verrà ottimizzato successivamente sulla base dei veri limiti di sorgente e collimazione messi in luce da Pavia.

Da qui deriva un punto centrale: **POC.LL è stata realizzata proprio perché il quadro fisico descritto da Pavia rende inconsistente l'idea di una transizione lineare dal vecchio schema SUPSI a tre pannelli verso un OPTO-ASIC**. La roadmap credibile non è "più pannelli e più integrazione" in astratto, ma "meno complessità ottica, più sensor intelligence e più co-design digitale".[3]

Validazione e roadmap

POC.LL definisce una roadmap tecnologica su tre livelli. Il primo livello è la **validazione architetturale**: su Cyclone V vengono verificati scheduling, interaction core, sensore virtuale, thresholding,

quantizzazione ternaria e backend HDC/MSD. Il secondo livello è la **validazione ottica funzionale**, già anticipata dagli esperimenti Opto-HDC/OptoPC, in cui una piattaforma a doppio LCD con camera ha mostrato che binding, bundling e similarity possono essere realizzati realmente in ottica. Il terzo livello è la **integrazione ottica fisica ottimizzata**, che dovrà affrontare in modo esplicito sorgenti, collimazione, pixel pitch, accoppiamento con microlenti e sensor array co-registrato, come richiesto dal quadro Pavia.

Questa roadmap è più credibile della precedente perché separa i problemi invece di confonderli. Il backend di calcolo, la semantica delle rappresentazioni, il frame scheduling e il ruolo del sensor fabric sono già oggi sviluppabili e validabili; la fisica ottica viene poi introdotta in modo progressivo, senza fingere che i vincoli di divergenza e trasmissione siano dettagli secondari.

Limiti e prospettive

POC.LL non pretende ancora di dimostrare le prestazioni finali di un chip ottico integrato. Restano aperti i problemi di realizzazione fisica dei TFT/microdisplay, di co-registrazione con il sensore, di uniformità pixel-to-pixel, di stabilità termica, di cross-talk e di accoppiamento efficiente con sorgenti realistiche come VCSEL o OLED con ottiche dedicate. Inoltre, l'interaction core digitale non riproduce completamente tutti gli effetti di diffrazione, scattering e aberrazione che emergeranno nella macchina fisica.

Tuttavia, proprio perché questi limiti sono ora meglio compresi, POC.LL rappresenta una base più robusta per il futuro. Essa traduce la visione teorica dei lavori dual-panel in una specifica eseguibile, integra la validazione funzionale fornita dagli esperimenti Opto-HDC e si allinea con i vincoli fisici evidenziati da Pavia. In questo senso POC.LL non è soltanto una PoC distinta dal PoC SUPSI: è la sua riformulazione corretta alla luce della fisica reale del sistema.

Conclusione

POC.LL identifica un percorso più coerente e realistico verso un futuro processore ottico dual-panel. Le pubblicazioni precedenti mostrano che l'architettura dual-panel con sensor array può funzionare come substrato generale per arithmetic MSD, HDC, matrix operators e workflow quantum-inspired. Il report Opto-HDC fornisce una prima verifica funzionale del fatto che una piattaforma a doppio LCD può realizzare realmente operazioni HDC fondamentali. Lo studio di fattibilità di Pavia chiarisce infine i limiti fisici dell'implementazione integrata e spiega perché una soluzione a due TFT con sensor array integrato sia non solo preferibile, ma necessaria per costruire una roadmap tecnologicamente consistente.

Per questa ragione POC.LL deve essere considerata il riferimento corretto per le fasi successive di sviluppo. Essa distingue chiaramente l'architettura attuale dalla vecchia interpretazione SUPSI, supera

l'inconsistenza di una traiettoria lineare tre-pannelli → ASIC → OPTO-ASIC e propone invece un modello di co-design tra ottica, sensore e decoding digitale che tiene conto dei vincoli reali della piattaforma